

PAT-NO: JP02002134754A  
DOCUMENT-IDENTIFIER: JP 2002134754 A  
TITLE: THIN-FILM TRANSISTOR INTEGRATED CIRCUIT AND IMAGE  
DISPLAY ELEMENT  
PUBN-DATE: May 10, 2002  
INVENTOR-INFORMATION:  
NAME COUNTRY  
YAMAMOTO, SHINICHI N/A  
ASSIGNEE-INFORMATION:  
NAME COUNTRY  
MATSUSHITA ELECTRIC IND CO LTD N/A  
APPL-NO: JP2000325301  
APPL-DATE: October 25, 2000  
INT-CL (IPC): H01L029/786, G09F009/30 , H01L021/20 , H01L021/265 , H01L021/336  
ABSTRACT:

PROBLEM TO BE SOLVED: To improve the dispersion of a display image due to the dispersion of the characteristic of driving TFT, by controlling the threshold voltage of a thin-film transistor in a low temperature process, in a liquid crystal image display device.

SOLUTION: A non-single crystal semiconductor thin film 2 is formed in an insulating substrate 0 for manufacturing a thin-film semiconductor. The semiconductor thin film 2 is irradiated with a strong laser beam, exceeding minimum crystallization energy, non-single crystal is changed into polycrystal, and the activated layer of the thin-film transistor TFT is formed. The resistance of a polycrystalline thin film is measured by using a device measuring high sheet resistance, and the threshold voltage of TFT is predicted in advance.

COPYRIGHT: (C) 2002, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-134754

(P2002-134754A)

(43)公開日 平成14年5月10日(2002.5.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 29/786		G 0 9 F 9/30	3 3 8 5 C 0 9 4
G 0 9 F 9/30	3 3 8		3 6 5 Z 5 F 0 5 2
	3 6 5	H 0 1 L 21/20	5 F 1 1 0
H 0 1 L 21/20		21/265	6 0 3 B
21/265	6 0 3	29/78	6 1 8 F

審査請求 有 請求項の数24 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願2000-325301(P2000-325301)

(22)出願日 平成12年10月25日(2000.10.25)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山本 伸一

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

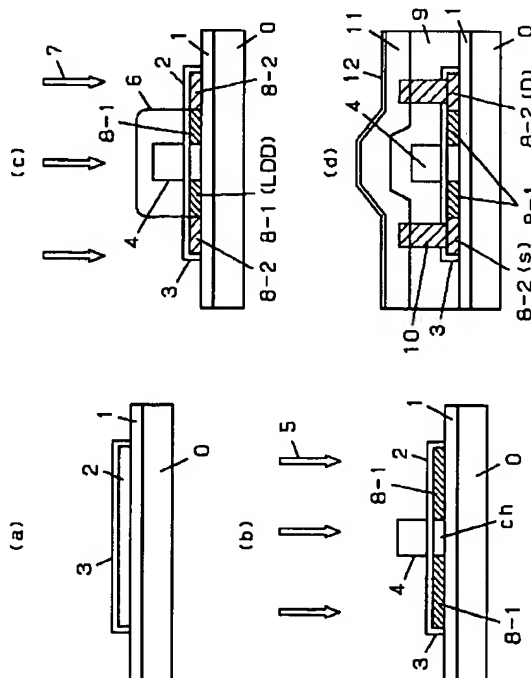
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ集積回路および画像表示素子

(57)【要約】

【課題】 液晶画像表示装置において、低温プロセスにおける薄膜トランジスタの閾値電圧を制御することにより、駆動用TFTの特性のバラツキによる表示画面のバラツキを改善することである。

【解決手段】 薄膜半導体を製造する為、先ず絶縁基板0に非単結晶の半導体薄膜2を成膜する。続いて、最低結晶化エネルギーを超える強度のレーザ光を半導体薄膜2に照射して非単結晶を多結晶に転換し薄膜トランジスタTFTの活性層を形成する。その後、高シート抵抗を測定できる装置を用いて多結晶薄膜の抵抗を測定し、TFTの閾値電圧を予め予測する。



## 【特許請求の範囲】

【請求項1】 一画素毎に電圧駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電圧を印加する駆動用TFTの活性層を形成するとともに、前記活性層を構成するポリシリコンの不純物注入前のシート抵抗値が $1.0 \times 10^{11}$  ohm/sq. 以下であること特徴とする薄膜トランジスタ集積回路。

【請求項2】 一画素毎に電圧駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電圧を印加する駆動用TFTの活性層を形成するとともに、活性層を構成するポリシリコンの不純物注入前のシート抵抗値が $1.0 \times 10^{11}$  ohm/sq. 以下であること特徴とする薄膜トランジスタ集積回路を集積したアレイ基板。

【請求項3】 一画素毎に電圧駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電圧を印加する駆動用TFTの活性層を形成するとともに、活性層を構成するポリシリコンの不純物注入前のシート抵抗値が $1.0 \times 10^{11}$  ohm/sq. 以下である薄膜トランジスタ集積回路を用いたことを特徴とする画像表示素子。

【請求項4】 一画素毎に電圧駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電圧を印加する駆動用TFTの活性層を形成するとともに、活性層を構成するポリシリコンの不純物注入前のシート抵抗値が $1.0 \times 10^{11}$  ohm/sq. 以下とした薄膜トランジスタ集積回路を用いたことを特徴とする有機エレクトロルミネセンス (EL) 表示装置。

【請求項5】 一画素毎に電圧駆動される薄膜表示素子を有する画像表示装置において、この薄膜表示素子に駆動電圧を印加する駆動用TFTの活性層を形成するとともに、活性層を構成するポリシリコンの不純物注入前のシート抵抗値が $1.0 \times 10^{11}$  ohm/sq. 以下であるように制御することができることを特徴とする前記活性層を作製するための製造装置。

【請求項6】 多結晶シリコン膜が、非晶質シリコン膜をレーザーアニールによって結晶化する際、前記非晶質シリコン膜の表面または内部にアクセプタとなる金属不純物が $1E15/cm^3$ 以上であることを特徴とする非晶質シリコン膜。

【請求項7】 レーザーアニール後の多結晶シリコン膜内部に、かつ、不純物注入前の工程において、アクセプタとなる金属不純物が $1E15/cm^3$ 以上存在することを特徴とする多結晶シリコン膜。

【請求項8】 多結晶シリコン膜が、非晶質シリコン膜をレーザーアニールによって結晶化する際、前記非晶質シリコン膜の表面または内部に金属不純物が汚染されており、汚染度が $1E15/cm^3$ 以上であることを特徴とする前記非晶質シリコン膜を多結晶シリコン膜にポリ化した薄膜トランジスタ集積回路を集積したアレイ基板。

【請求項9】 多結晶シリコン膜が、非晶質シリコン膜

をレーザーアニールによって結晶化する際、前記非晶質シリコン膜の表面または内部に金属不純物が汚染されており、汚染度が $1E15/cm^3$ 以上である前記非晶質シリコン膜を多結晶シリコン膜にポリ化した薄膜トランジスタ集積回路を用いたことを特徴とする画像表示素子。

【請求項10】 多結晶シリコン膜が、非晶質シリコン膜をレーザーアニールによって結晶化する際、前記非晶質シリコン膜の表面または内部に金属不純物が汚染されており、汚染度が $1E15/cm^3$ 以上である前記非晶質シリコン膜を多結晶シリコン膜にポリ化した薄膜トランジスタ集積回路を用いたことを特徴とする有機エレクトロルミネセンス (EL) 表示装置。

【請求項11】 多結晶シリコン膜が、非晶質シリコン膜をレーザーアニールによって結晶化する際、前記非晶質シリコン膜の表面または内部に金属不純物が汚染されており、汚染度が $1E15/cm^3$ 以上であることを特徴とする前記非晶質膜を作製するための製造装置。

【請求項12】 前記駆動用TFTのゲート容量を、次の表示用データ書き込み時間までそのゲート電圧を保持するのに十分な容量を持つように形成したことを特徴とする請求項3に記載の画像表示素子。

【請求項13】 駆動用TFTの活性層であるポリシリコンの前記の厚さが30nm以上100nm以下であることを特徴とする請求項1に記載の薄膜トランジスタ集積回路。

【請求項14】 駆動用TFTの活性層は $450^\circ\text{C}$ 以下のレーザーアニールによって結晶化されることを特徴とする請求項1に記載の薄膜トランジスタ集積回路。

【請求項15】 ポリシリコン薄膜トランジスタは、活性層の下に厚さ100nm以上、表面粗さが中心線平均粗さで3nm以下の絶縁膜であることを特徴とする請求項1、13、14のいずれかに記載の薄膜トランジスタ集積回路。

【請求項16】 多結晶シリコンが、非晶質シリコンを、エキシマ・レーザーを用いたレーザーアニールにより形成したものであることを特徴とする請求項1、13、14、15のいずれかに記載の薄膜トランジスタ集積回路。

【請求項17】 多結晶シリコン膜が、非晶質シリコン膜を、短波長の高エネルギーパルスレーザー光照射により、多結晶シリコンに変換した多結晶シリコン膜であることを特徴とする請求項1、13～16のいずれかに記載の薄膜トランジスタ集積回路。

【請求項18】 多結晶シリコン膜が、非晶質シリコン膜をエッチングしたのち短波長の高エネルギーパルスレーザー光照射により、多結晶シリコンに変換した多結晶シリコン膜であることを特徴とする請求項1、13～17のいずれかに記載の薄膜トランジスタ集積回路。

【請求項19】 多結晶シリコン膜が、非晶質シリコン膜表面を酸化膜で覆った後、短波長の高エネルギーパルスレーザー光照射により、多結晶シリコンに変換した多結

晶シリコン膜であることを特徴とする請求項1、13～18のいずれかに記載の薄膜トランジスタ集積回路。

【請求項20】 酸化膜がオゾン水を照射することにより形成されることを特徴とする請求項19に記載の薄膜トランジスタ回路。

【請求項21】 酸化膜を形成するオゾン水を照射する前に汚染を除去したことを特徴とする請求項20に記載の薄膜トランジスタ回路。

【請求項22】 絶縁基板に非単結晶の半導体薄膜を成膜する第1の工程と、最低結晶化エネルギーを超える強度のレーザ光を半導体薄膜に照射して前記非単結晶を多結晶に転換し、前記多結晶が $1.0 \times 10^{11} \text{ ohm/sq.}$ 以下のシート抵抗である薄膜トランジスタの活性層を形成する第2の工程と、薄膜トランジスタの閾値電圧を調整するために前記活性層にシート抵抗から概算した濃度を不純物注入する処理を行ない、前記活性層に注入された不純物を $1.5 \times 10^{18} / \text{cm}^3$ 未満の実効濃度で活性化する第3の工程と、前記活性層をチャネル領域としてそのまま残す部分以外の半導体薄膜に不純物を選択的に注入して少なくとも薄膜トランジスタのソース領域及びドレイン領域を形成する第4の工程とを行なう薄膜半導体装置の製造方法。

【請求項23】 前記第4の工程は、ソース領域及び／又はドレイン領域とチャネル領域との間にソース領域及び／又はドレイン領域と同一導電型でより低濃度且つチャネル領域より高濃度の不純物を注入して低濃度不純物領域を形成する処理を含んでいる請求項22記載の薄膜半導体装置の製造方法。

【請求項24】 無アルカリガラスからなる絶縁基板に薄膜トランジスタを形成する為、第1ないし第4の工程を含む全ての工程は $600^\circ\text{C}$ 以下の処理温度で実行される請求項22または23記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜半導体装置の製造方法に関する。詳しくは、例えば $1000 \text{ cm}^2$ 以上の面積を有するガラス等の絶縁基板に成膜された非単結晶性の半導体薄膜に対し不純物イオンを選択的に注入して低濃度不純物領域、高濃度不純物領域及びチャネル領域を備えた薄膜トランジスタを集積形成し、且つ $600^\circ\text{C}$ 以下の低温プロセスで必要な熱処理等を行なって薄膜半導体装置を製造する方法に関する。より詳しくは、薄膜トランジスタの閾値電圧調整の為の不純物イオン注入方法及び活性化方法に関する。

【0002】

【従来の技術】液晶ディスプレイ等に用いられる大面積の薄膜半導体装置が盛んに開発されている。従来、画素スイッチング用として薄膜半導体装置に集積形成される薄膜トランジスタは非晶質シリコンを活性層とする構造

が一般的であった。しかしながら、非晶質シリコン薄膜トランジスタはキャリア移動度が低く十分な動作特性を備えていない為、周辺の駆動回路等を絶縁基板上に集積形成することができなかった。近年では多結晶シリコン薄膜トランジスタを用いた薄膜半導体装置が開発されている。多結晶シリコン薄膜トランジスタは非晶質シリコン薄膜トランジスタに比べ動作特性が優れており、画素スイッチング用に加え周辺駆動回路のデバイスとしても利用できる。この様に、多結晶シリコン薄膜トランジスタを用いた薄膜半導体装置は大面積の駆動回路内蔵型高解像度液晶ディスプレイ等に最適であり、盛んに研究開発が行なわれている。一般に、多結晶シリコン薄膜トランジスタの製造では、 $1000^\circ\text{C}$ 以上の熱処理を含む高温プロセスと、プロセス最高温度が $600^\circ\text{C}$ 以下に抑制された低温プロセスとに分けられる。比較的成本等で有利なガラスを絶縁基板として用いる為には低温プロセスが必須であり、現在主流となっている。

【0003】

【発明が解決しようとする課題】ところで、従来の低温プロセスでは薄膜トランジスタの閾値電圧( $V_{th}$ )の制御が困難であり現実には行なわれていなかった。一般に、薄膜トランジスタの閾値電圧を調整する為には半導体薄膜のチャネル領域(活性層)に比較的低いドーズ量で不純物イオンを制御よく注入し且つ活性化する必要があるが、従来の低温プロセスではこれらの処理が困難であった。また活性層にあらかじめ不純物が混入されている場合は全てが熱処理で活性化されてしまう。

【0004】しかしながら、薄膜トランジスタを高性能化し、且つ大面積の絶縁基板上で薄膜トランジスタの動作特性を均一化する為には、閾値電圧の制御が必須になっている。従来の低温プロセスでは薄膜トランジスタの閾値電圧の制御を行っていない為、例えば閾電圧( $V_{th}$ )が工程上のばらつきでデプレッション側に振れた場合、補償が不可能となり薄膜トランジスタのリーク電流が増大し、画素の輝点欠陥になることがあった。また非晶質シリコン表面に初期から不純物汚染があるとそのままレーザーアニールすることにより汚染不純物が活性化され各トランジスタにチャネルドーパが必要となる。

【0005】

【課題を解決するための手段】本発明は上述した従来の技術の課題を解決するため、薄膜トランジスタの閾値電圧調整の為の不純物注入処理及び活性化処理を正確に制御可能な薄膜半導体および装置の製造方法を提供することを目的とする。かかる目的を達成する為以下に手段を講じた。即ち、本発明によれば、薄膜半導体装置を製造する為、先ず絶縁基板に非単結晶の半導体薄膜を成膜する第1の工程を行なう。

【0006】次に、第2の工程で、最低結晶化エネルギーを超える強度のレーザ光を半導体薄膜に照射して非単結晶を多結晶に転換し薄膜トランジスタの活性層を形成

する。

【0007】次に高抵抗を測れるシート抵抗器を用いて抵抗値をモニターしておく。

【0008】さらに第3の工程で、薄膜トランジスタの閾値電圧を調整する為あらかじめ測定したシート抵抗値に見合った不純物を前記活性層に所定の濃度で不純物注入する処理を行なった後、熱処理を行う。あるいは最低結晶化エネルギーよりも大きく多結晶の平均結晶粒径が最大となるエネルギー以下の強度を有するレーザ光を半導体薄膜に照射する処理を行ない、前記活性層に注入された不純物を $1.5 \times 10^{18}/\text{cm}^2$ 未満の実効濃度で活性化する。

【0009】最後に第4の工程で、活性層をチャネル領域としてそのまま残す部分以外の半導体薄膜に不純物を選択的に注入して少なくとも薄膜トランジスタのソース領域及びドレイン領域を形成する。

【0010】好ましくは、前記第4の工程は、ソース領域及び／又はドレイン領域とチャネル領域との間にソース領域及び／又はドレイン領域と同一導電型でより低濃度かつチャネル領域より高濃度の不純物を注入して低濃度不純物領域を形成する処理を含んでいる。なお、本発明の好ましい実施形態では、無アルカリガラスからなる絶縁基板に薄膜トランジスタを形成する為、第1ないし第4の工程を含む全ての工程は600℃以下の処理温度で実行される。

【0011】本発明によれば、プロセス最高温度が例えば600℃以下に設定された薄膜半導体装置の製造方法において、薄膜トランジスタの閾値電圧制御の為少なくとも活性層(チャネル領域)に所定の不純物種をイオン注入等で導入している。特徴事項として、活性層に導入された不純物イオンを熱処理またはレーザ光の照射により活性化している。この際、非単結晶を多結晶に転換する為に必要な最低結晶化エネルギーよりも大きく、多結晶の平均結晶粒径が最大となるエネルギー以下に設定されたレーザ光を照射する。さらに、活性化した不純物イオンの濃度が $1.5 \times 10^{18}/\text{cm}^2$ 未満となる様に制御する。かかる注入処理及び活性化処理により薄膜トランジスタの閾値電圧を正確に制御することが可能になる。

【0012】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は本発明にかかる薄膜半導体装置製造方法の第1実施形態を示す工程図である。本実施形態では、 $1000\text{cm}^2$ 以上の面積を有する絶縁基板に成膜された非単結晶性の半導体薄膜に対し不純物イオンを選択的に注入して低濃度不純物領域、高濃度不純物領域及びチャネル領域を備えた薄膜トランジスタを集積形成し、且つ600℃以下のプロセス温度で必要な熱処理を行なって薄膜半導体装置を製造している。本実施形態の薄膜トランジスタはトップゲート構造を有し、Nチャネル型及びPチャネル型の両者を含んでいる。但

し、図示を容易にする為に、Nチャネル型の薄膜トランジスタのみを示している。この薄膜トランジスタはチャネル領域の幅寸法Wが $10\mu\text{m}$ であり、チャネル領域の長手寸法が $4\mu\text{m}$ に設定されている。先ず図1(a)に示す様に、ガラス等からなる絶縁基板0の上に下地膜としてのバッファ層1を形成する。例えば、 $\text{SiO}_2$ 膜又は $\text{Si}_3\text{N}_4$ 膜を約 $100\text{nm} \sim 200\text{nm}$ の厚みで堆積しバッファ層1とする。なお、このバッファ層1は必ずしも必要ではない。続いて、プラズマCVD法又はLPCVD法等で、非晶質シリコンからなる半導体薄膜2を約 $30\text{nm} \sim 80\text{nm}$ の膜厚で成膜する。なお、これらのバッファ層1や半導体薄膜2が全面的に成膜された絶縁基板0の寸法は $30\text{cm} \times 35\text{cm}$ である。ここで、非晶質シリコンからなる半導体薄膜2の成膜にプラズマCVD法を用いた場合は、膜中の水素を脱離させる為にアニールを行なう。このアニールは窒素雰囲気中に絶縁基板0を投入し $400 \sim 450^\circ\text{C}$ の温度で1時間程度加熱する。なお、この脱水素化アニールはRTA等のランプアニールを用いても良い。続いて、レーザアニール又は固相成長等の手段を用いて非晶質シリコンを結晶化させ多結晶シリコンに転換する。

【0013】次にこの多結晶シリコンのシート抵抗を測定し抵抗値をモニターしておく。多結晶シリコン膜は高抵抗であることが予測されるため4端子4探針測定では難しい。そのためドーナツ状に作成したリング状の電極を作製し高抵抗測定用の装置とした。10V程度印加すると簡単にシート抵抗を測定することができる。

【0014】このシート抵抗値により閾値電圧 $V_{th}$ を予め予測することができる。

【0015】その後この多結晶シリコンに転換された半導体薄膜2をエッチングでアイランド状にパターニングし、薄膜トランジスタの素子領域とする。エッチングされた半導体薄膜2を被覆する様にゲート絶縁膜3を形成する。例えば、プラズマCVD法、常圧CVD法、減圧CVD法、ECR-CVD法、スパッタ法等で $\text{SiO}_2$ 膜を $50\text{nm} \sim 400\text{nm}$ 堆積成長させゲート絶縁膜3とする。

【0016】ここで、必要に応じ、大電流イオンインプランテーション装置を用いて第1注入工程(追加のイオンビーム注入工程)を行なう。即ち、イオン源から生じた不純物イオンを質量分離にかけて目的のイオン種のみを取り出し且つビーム状に整形して得られた第1のイオンビームを走査しながら $1 \times 10^{13}/\text{cm}^2$ 未満のドーズ量で半導体薄膜2に注入し、後工程でチャネル領域となる部分の不純物濃度を調整して薄膜トランジスタの閾値電圧 $V_{th}$ を予めシート抵抗値から概算して制御しておく。この処理に用いる大電流イオンインプランテーション装置は磁場偏向器を備えており、静電偏向では走査が困難な程度に大電流のイオンビームを磁場偏向で走査する事により $1000\text{cm}^2$ 以上の大面積を有する絶縁基板0の

効率的な処理を可能にする。具体的には、目的のイオン種である $B^+$ を薄膜トランジスタ(TFT)の $V_{th}$ を制御する目的でドーズ量を $1 \times 10^{12}/cm^2 \sim 8 \times 10^{12}/cm^2$ 程度に設定し、イオン注入を行なう。この時の加速電圧は例えば10kVに設定する。又、イオンビーム電流は $4 \mu A \sim 10 \mu A$ であり、水平方向の走査周波数は1Hzであり、垂直方向の走査速度は30mm/secであり、ビームスポットのオーバーラップ量は66.7%であり、垂直方向の走査サイクルは8cycles $\sim$ 10cyclesであり、イオン注入に要した総時間は300sec $\sim$ 400secである。なお、この $V_{th}$ 制御の為の第1注入工程はゲート絶縁膜3の成膜前に行なっても良い。またこの注入は質量分離型の注入機でリボンビームをガラス基板上に走査することにより注入してもよい。

【0017】次に図1(b)に示す様に、絶縁基板0の上にAl, Ti, Mo, W, Ta, 低抵抗化ポリシリコン、あるいはこれらの合金を200nm $\sim$ 800nmの厚みで成膜し、所定の形状にパタニングしてゲート電極4に加工する。次いで、第1注入工程と同様に磁場偏向器を備えた大電流イオンインプランテーション装置を用いて第2注入工程(イオンビーム注入工程)を行なう。即ち、イオン源から生じた不純物イオンを質量分離にかけて目的のイオン種のみを取り出し且つビーム状に整形して得られた第2のイオンビーム5を走査しながら $1 \times 10^{14}/cm^2$ 未満のドーズ量で半導体薄膜2に注入し、TFTの低濃度不純物領域8-1を形成する。具体的には、ゲート電極4をマスクとして目的のイオン種である $P^+$ をイオン注入する。この時のドーズ量は $6 \times 10^{12}/cm^2 \sim 5 \times 10^{13}/cm^2$ に設定する。

【0018】さらに図1(c)に示す様に、Nチャネルトランジスタ用のレジストパタン6を形成し、ゲート電極4を含めてその周囲を被覆する。ここでイオンドーピング装置を用いて第3注入工程(イオンシャワー工程)を行なう。即ち、別のイオン源から生じた不純物イオンを質量分離にかけず目的のイオン種を含んだまま電界加速して得られたイオンシャワー7を走査する事なく $1 \times 10^{14}/cm^2$ 以上のドーズ量で半導体薄膜2に注入し、TFTの高濃度不純物領域8-2を形成する。具体的には、目的のイオン種である $P^+$ を $1 \times 10^{15}/cm^2$ 程度のドーズ量でイオン注入する。このイオンドーピング装置はバケットタイプのチャンバから一括して不純物イオンを引き出し、絶縁基板0の全面に照射する為、スルーポットは高く搬送を含めても1枚当たりの処理時間は1min程度である。なお、場合によってはイオンドーピング装置の代わりに前述したイオンインプランテーション装置を用いて第3注入工程を行っても良い。以上の処理により、ゲート電極4の直下には予め $V_{th}$ が調整されたチャネル領域Chが形成され、その両側には低濃度不純物領域8-1からなるLDD領域が形成され、さらにその両側には高濃度不純物領域8-2からなるソース領域

S及びドレイン領域Dが形成される。なお、絶縁基板0上にCMOS回路を集積形成する場合には、Nチャネルトランジスタ用のレジストパタン6に代えてPチャネルトランジスタ用のレジストパタンを形成し、イオン源のガス系を5% $B_2H_6/H_2$ に切り換え、ドーズ量 $1 \times 10^{15}/cm^2$ 程度で $B^+$ をイオン注入すれば良い。

【0019】最後に図1(d)に示す様に、薄膜トランジスタTFTをPSG等からなる層間絶縁膜9で被覆する。その膜厚は約600nm程度である。この状態で300 $^{\circ}C \sim 400^{\circ}C$ の温度下アニールを行ない、半導体薄膜2に注入されたドーパントを活性化させる。この様な低温活性化アニールの代わりにレーザ活性化アニールを行なっても良い。さらに、層間絶縁膜9にコンタクトホールを開口した後、Al-Si等からなる金属膜をスパッタリングにより成膜し、所定の形状にパタニングして配線電極10に加工する。この配線電極10の上を順に $SiO_2$ 膜11及び $SiN_x$ 膜12で被覆する。これらの膜の合計厚みは200nm $\sim$ 400nm程度である。この状態で絶縁基板0を窒素雰囲気中に投入し350 $^{\circ}C$ 程度の温度で1時間程度水素化アニールを実行する。これにより、 $SiO_2$ 膜11に含有されていた水素が半導体薄膜2に導入され、薄膜トランジスタTFTの動作特性を改善できる。以上の様にして薄膜半導体装置が完成する。なお、この薄膜半導体装置を液晶ディスプレイに用いる場合、さらに $SiN_x$ 膜12の上にITO等からなる画素電極を形成する場合がある。以上に説明した薄膜半導体装置のプロセス温度は最高が脱水素アニールの400 $^{\circ}C \sim 450^{\circ}C$ である。

【0020】図2は、前述した第1注入工程及び第2注入工程で用いられる大電流イオンインプランテーション装置の具体的な構成を示すブロック図である。図示する様に、本装置はイオン源31、質量分離器32、四重極レンズ33、偏向マグネット34、角度補正マグネット35、ワークステーション36等を備えている。イオン源31から発生したイオンビームは質量分離器32を通り質量分離される。さらに、四重極33を介して偏向マグネット34に入射する。この後角度補正マグネット35を通過する事により、基板に対するイオンビームの角度を調節し、ドーズ量の基板面内分布を均一化する。最後にイオンビームはワークステーション36に載置された絶縁基板上に入射する。四重極レンズ33は大電流イオンビームに伴う空間電荷効果に起因する結像位置の変化を補償する為に装入されている。かかる構成を有する大電流イオンインプランテーション装置のさらに具体的な光学系は、例えばNuclear Instruments and Methods in Physics Research A363(1995)p.468に開示されている。この大電流イオンインプランテーション装置は投入可能な最大基板サイズが32cm $\times$ 40cmであり、最大ビーム電流は16mAであり、注入エネ

ルギーは10KeV～100KeVの間で可変であり、ドーズ量は $1 \times 10^{12}/\text{cm}^2 \sim 1 \times 10^{16}/\text{cm}^2$ の範囲で制御可能である。又、注入可能なイオン種としては $P^+$ と $B^+$ に対応している。本イオンインプランテーション装置の特徴は、大電流のイオンビームを電場ではなく磁場によって走査させる事にあり、この為従来静電偏向器では困難であった大電流イオンビームの走査も可能となっている。磁場偏向型の走査系を持つ為、10mA以上の大電流イオンビームを用いて基板を枚葉で処理する事ができる。加えて、イオン注入時間も数10秒～数分以内で完了し、スルーput低下の心配もない。大電流イオンビームのスポットサイズは90mm×90mmの正方形である。

【0021】図3は、上述した第3注入工程で用いられるイオンドーピング装置の一例を示すブロック図である。このイオンドーピング装置は基板サイズに相当する開口部を持つ大型であり、容量結合型高周波放電によりプラズマを発生させるイオン源51を主体とする。イオン源51はマッチングボックス52を介して高周波電源53に接続されている。4枚の多孔電極（第1電極54、第2電極55、抑制電極56、接地電極57）で形成された引き出し・加速電極系によりイオンシャワー58を引き出す。

【0022】4枚電極構成のイオン源としては1段加速方式と2段加速方式があるが、本例では前者を採用している。この1段加速方式の場合単一の加速電圧でイオンエネルギーを決定できる。又、エネルギーとは独立した引き出し電流の制御でプラズマからのイオンの引き出し状態を調整できる。即ち、この1段加速方式では引き出し電源59、加速電源60、抑制電源61を別々に備えている。図示する様にイオンドーピング装置はイオンインプランテーション装置と異なり加速管や走査部は持たない。必要なエネルギーはイオン源の引き出し・加速電極系で決まる。一方、必要な基板サイズに相当するイオンシャワー58の大きさについては、イオン源の多孔領域を基板サイズに応じたものを使用する。従って、基板サイズの大型化に伴ない、イオン源が大型化する事になる。現状の40cm×50cm基板対応のイオン源では、最大径が1.2mにまでなっている。

【0023】図4は本発明にかかる半導体装置製造方法の第2実施形態を示す工程図である。図1に示した第1実施形態と対応する部分については対応する参照番号を付して理解を容易にしている。本実施形態ではボトムゲート構造の薄膜トランジスタを集積形成している。図示を容易にする為、Nチャネル型の薄膜トランジスタのみを示している。そのチャネル幅は10 $\mu\text{m}$ であり、チャネル長は7 $\mu\text{m}$ である。先ず図4(a)に示す様に、ガラス等からなる絶縁基板0の上に $\text{SiO}_2$ 膜又は $\text{SiN}_x$ 膜等を約100nm～200nmの厚みで形成し、バッファ層1とする。絶縁基板0の大きさは30cm×35cmであ

る。次いで、Al, Ta, Mo, W, Cr又はこれらの合金からなる金属膜を100nm～200nmの厚みで形成し、所定の形状にパタニングしてゲート電極4に加工する。ゲート電極4の材料としてAl, Ta, Mo/Ta等を用いた場合はその表面を陽極酸化する事でゲート絶縁膜3aを形成できる。次いで、プラズマCVD法、常圧CVD法、減圧CVD法等で $\text{SiN}_x$ を50nm堆積しさらに連続して $\text{SiO}_2$ を約200nm堆積し、ゲート絶縁膜3bとする。さらにこの上に、連続的に非晶質シリコンからなる半導体薄膜2を約30nm～80nmの厚みで成膜する。ここでプラズマCVD法を用いた場合は、膜中の水素を脱離させる為に窒素雰囲気中で400℃～450℃、1時間程度のアニールを行なう。この脱水素化アニールはRTP等のランプアニールを用いても良い。ここで、TFTの $V_{th}$ を制御する目的で大電流イオンインプランテーション装置を用い $B^+$ をイオン注入する。そのドーズ量は $1 \times 10^{12}/\text{cm}^2 \sim 6 \times 10^{12}/\text{cm}^2$ 程度に設定される。

【0024】この段階でレーザアニール法あるいは固相成長法を用いて非晶質シリコンを多結晶シリコンに転換する。シート抵抗を測定後、転換された多結晶シリコンからなる半導体薄膜2を薄膜トランジスタの素子領域の形状にパタニングする。

【0025】次に図4(b)に示す様に、 $\text{SiO}_2$ を約100nm～300nmの厚みで形成し、ゲート電極4をマスクとした裏面露光によりパタニングレソトップ6aに加工する。次いで、大電流イオンインプランテーション装置を用い、レソトップ6aをマスクとして $P^+$ イオンを半導体薄膜2に注入し、低濃度不純物領域8-1を形成する。この時のドーズ量は $6 \times 10^{12}/\text{cm}^2 \sim 5 \times 10^{13}/\text{cm}^2$ である。

【0026】図4(c)に示す様に、Nチャネルトランジスタ4のレジストパタン6を形成する。このレジストパタン6をマスクとして大電流イオンインプランテーション装置により $P^+$ を半導体薄膜2に注入し、高濃度不純物領域8-2を形成する。この時のドーズ量は $1 \times 10^{15}/\text{cm}^2$ 程度である。なお、CMOS回路を絶縁基板0上に形成する場合には、Nチャネルトランジスタ用のレジストパタン6とは別にPチャネルトランジスタ用のレジストパタンを形成し、イオン種を $P^+$ から $B^+$ に切り換えてイオン注入すれば良い。

【0027】この時のドーズ量は $1 \times 10^{15}/\text{cm}^2$ 程度である。なお、第1実施形態と同様にこの高濃度不純物領域形成では質量非分離型のイオンドーピング装置を用いても良い。以上の様にして、ボトムゲート構造の薄膜トランジスタTFTが集積形成される。レソトップ6aの直下にはチャネル領域Chが形成され、その両側には低濃度不純物領域8-1からなるLDD領域が形成され、さらにその両側には高濃度不純物領域8-2からなるソース領域S及びドレイン領域Dが形成される。この後、30



11

0℃～400℃程度でアニールし、半導体薄膜2に注入されたドーパントを活性化させる。この活性化アニールをレーザアニールで行なっても良い事は第1実施形態と同様である。

【0028】最後に図4(d)に示す様に、SiO<sub>2</sub>を20nm程度の厚みで成膜し、層間絶縁膜9とする。この層間絶縁膜9にコンタクトホールを開いた後、Mo、Al等の金属膜を200nm～400nmの厚みでスパッタリングし、所定の形状にパタニングして配線電極10に加工する。この上にSiO<sub>2</sub>膜11及びSiN<sub>x</sub>膜12を重ねて200nm～400nm堆積する。さらに、絶縁基板0を窒素雰囲気中に投入し350℃の温度に1時間保持して水素化アニールを行ない、薄膜半導体装置を完成させる。本実施形態のプロセス最高温度は脱水素アニールの400℃～450℃である。

【0029】図5は、薄膜トランジスタの閾電圧V<sub>th</sub>とチャネル領域に対する不純物イオンのドーズ量との関係を示すグラフである。このドーズ量はシート抵抗値から予め予測して見合った分を注入したものである。このグラフは本発明の第2実施形態で作成された薄膜トランジスタの実測データであり、NチャネルトランジスタとPチャネルトランジスタの両方を示している。このグラフはゲート電圧を-10Vから+15Vまで掃引し、ドレイン電圧を10Vに設定した条件下でV<sub>th</sub>を測定している。(a)に示す様に、Nチャネルトランジスタの場合、ドーズ量が3×10<sup>12</sup>/cm<sup>2</sup>(一番ドーズ量の多い点)の時、全くイオン注入を行っていないNチャネルトランジスタに対し、V<sub>th</sub>を約0.5Vエンハンスメント方向にシフトする事ができる。

【0030】一方(b)に示す様に、PチャネルトランジスタはNチャネルトランジスタほど顕著にV<sub>th</sub>がシフトしていない。それでも、B<sup>+</sup>を3×10<sup>12</sup>/cm<sup>2</sup>のドーズ量で注入した場合、全くイオン注入をしていないPチャネルトランジスタに比べ、V<sub>th</sub>を約0.1Vデプレッション側にシフトさせる事ができる。

【0031】図6は、第2実施形態で作成したNチャネルトランジスタのゲート電圧/ドレイン電流特性を示すグラフである。(a)はチャネル領域に対するドーズ量が1×10<sup>13</sup>/cm<sup>2</sup>未満の場合の特性を示し、(b)はチャネル領域に対するドーズ量が1×10<sup>13</sup>/cm<sup>2</sup>を超えた場合の特性を表わしている。閾値電圧制御用のドーズ量が1×10<sup>13</sup>/cm<sup>2</sup>を超えると、(b)に示す様に薄膜トランジスタのゲート電圧/ドレイン電流特性に異常が現われる。従って、V<sub>th</sub>制御用のB<sup>+</sup>のドーズ量は1×10<sup>13</sup>/cm<sup>2</sup>未満に調整する事が必要であり、望ましくは3×10<sup>12</sup>/cm<sup>2</sup>以下である。この様にすれば、(a)に示す様に薄膜トランジスタの正常なゲート電圧/ドレイン電流特性が得られる。なお、以上の結果は第2実施形態で得られた薄膜トランジスタに関するものであるが、第1実施形態で作成された薄膜トランジ

12

タについても同様の事がいえる。

【0032】図7は、第2実施形態で作成されたNチャネル薄膜トランジスタにおける低濃度不純物領域(LDD領域)のドーズ量とリーク電流との関係を示すグラフである。このグラフから明らかな様に、リーク電流はLDD領域のドーズ量に略比例している。

【0033】LDD領域のP<sup>+</sup>のドーズ量が1×10<sup>14</sup>/cm<sup>2</sup>を超えると、リーク電流は10pA以上となり、LDD領域を設けた効果が殆ど失われる。従って、LDD領域に対するドーズ量はP<sup>+</sup>イオンの実効ドーズ量に換算して1×10<sup>14</sup>/cm<sup>2</sup>未満である事が必要になる。

【0034】好ましくは、5×10<sup>13</sup>/cm<sup>2</sup>以下に制御する事が良い。以上、第2実施形態で作成されたサンプルを例にとり説明したが、第1実施形態で製造された薄膜トランジスタについても同様の事がいえる。又、NチャネルトランジスタばかりでなくPチャネルトランジスタについても同様の事がいえる。

【0035】シート抵抗から概算して5×10<sup>13</sup>/cm<sup>2</sup>以上注入しなければならない場合、この基板はNG(No go)とみなすべきである。

【0036】

【発明の効果】以上説明した様に、本発明によれば、シート抵抗を予め測定しておくことにより、従来の技術では困難であった低温プロセス薄膜トランジスタのV<sub>th</sub>を予めわかることができ、V<sub>th</sub>の制御及びLDD領域の形成が容易になった。この為、電気特性が正確に制御された低温多結晶シリコン等からなる薄膜トランジスタを絶縁基板の大面积に渡って集積形成する事が容易になる。従って、本発明を利用することにより大面积の基板上に周辺駆動回路を一体化した高解像度の液晶ディスプレイを実現できる。この様に、本発明の効果は絶大なものがある。

【図面の簡単な説明】

【図1】本発明にかかる薄膜半導体装置製造方法の第1実施形態を示す工程図

【図2】本発明の実施に用いられる大電流イオンインプランテーション装置の一例を示すブロック図

【図3】本発明の実施に用いられるイオンドーピング装置の一例を示すブロック図

【図4】本発明にかかる薄膜半導体装置製造方法の第2実施形態を示す工程図

【図5】本発明に従って作成された薄膜トランジスタの閾電圧とドーズ量との関係を示すグラフ

【図6】同じく本発明に従って作成された薄膜トランジスタのゲート電圧/ドレイン電流特性を示すグラフ

【図7】同じく本発明に従って作成された薄膜トランジスタのドーズ量とリーク電流との関係を示すグラフ

【符号の説明】

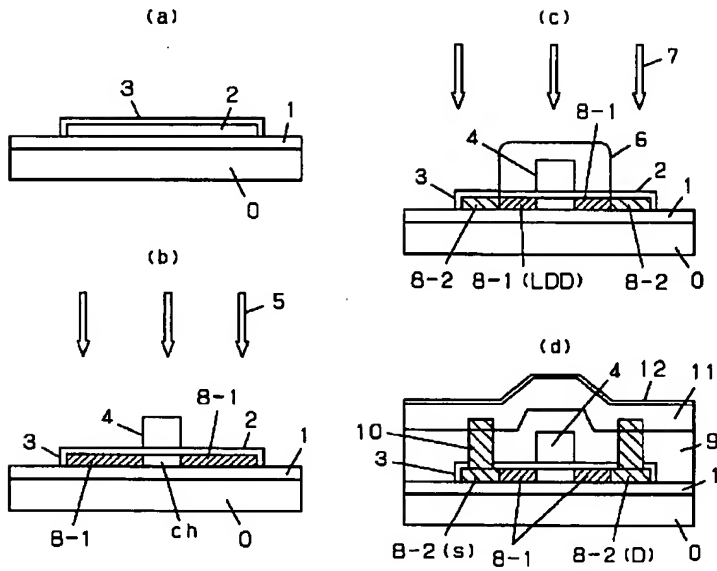
0 絶縁基板  
2 半導体薄膜



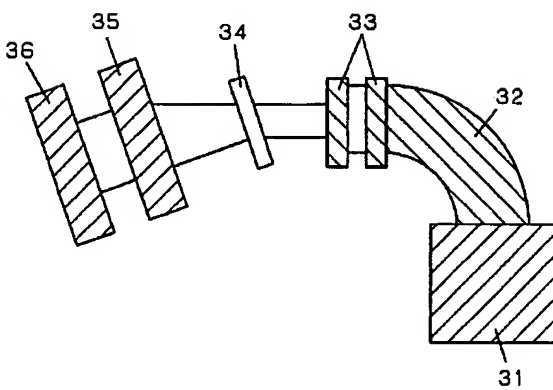
- 3 ゲート絶縁膜  
4 ゲート電極  
5 イオンビーム

- 7 イオンシャワー  
8 高濃度不純物領域  
8a 低濃度不純物領域

【図1】



【図2】



【図5】

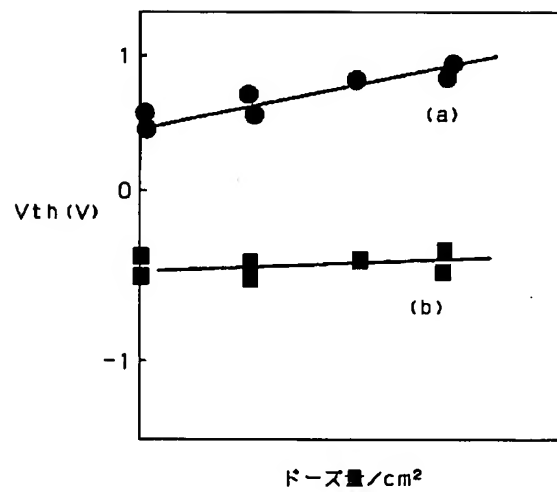
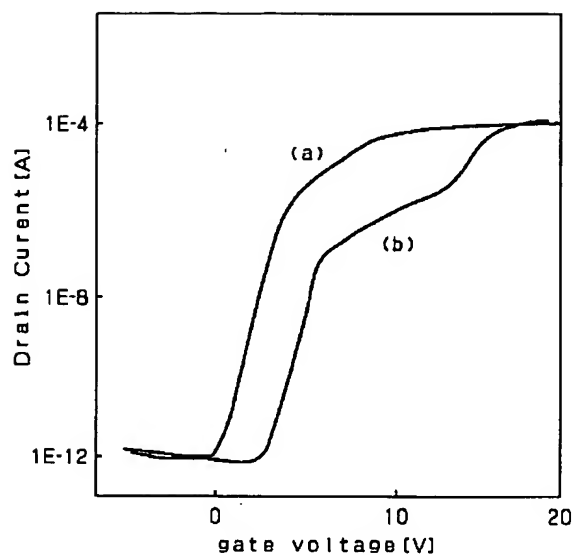
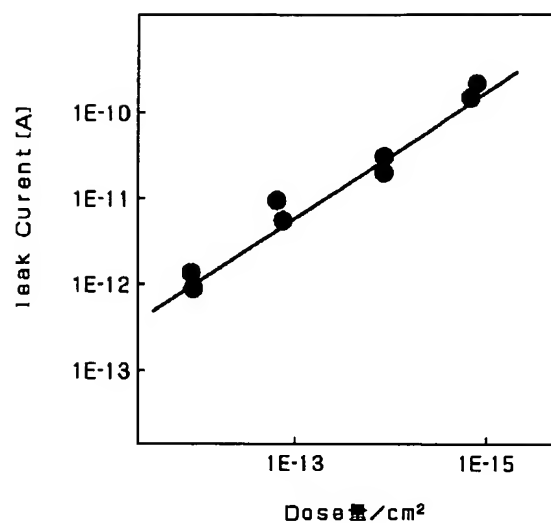


Figure 1 consists of four cross-sectional views of a semiconductor device, labeled (a) through (d).  
 (a) A substrate 0 is shown with a layer 1 on top. A rectangular block 2 is positioned on layer 1.  
 (b) A layer 3 is added on top of layer 1. A rectangular block 4 is positioned on layer 3. Three arrows 5 point downwards, indicating a process step.  
 (c) A layer 6 is added on top of layer 3. A rectangular block 7 is positioned on layer 6. Arrows 8-1 and 8-2 (LDD) point downwards, indicating a process step.  
 (d) The final structure is shown with layers 10, 11, and 12. Blocks 9, 10, 11, and 12 are positioned on these layers. Arrows 8-2 (s), 8-1, and 8-2 (D) point downwards, indicating a process step.

【図6】



【図7】



フロントページの続き

(51)Int. Cl.<sup>7</sup>  
H01L 21/336

識別記号

F I  
H01L 29/78

ターマコード (参考)

612B  
616A  
627G

F ターム (参考) 5C094 AA05 AA14 AA43 BA03 BA27  
BA43 CA19 EA04 EA07 EB02  
JA08  
5F052 AA02 AA11 BB07 DA02 DB02  
DB03 EA15 FA06 JA01 JA02  
JA04 JA10  
5F110 AA08 AA16 BB02 CC02 CC08  
DD02 DD13 DD14 EE03 EE04  
EE06 EE09 FF02 FF03 FF09  
FF24 FF28 FF30 FF31 FF32  
GG02 GG13 GG25 GG28 GG29  
GG32 GG34 GG45 GG47 GG52  
HJ01 HJ04 HJ12 HJ13 HJ23  
HL05 HM15 NN03 NN12 NN23  
NN24 NN25 PP01 PP03 PP35  
QQ11 QQ12 QQ23 QQ30